

Circuit / Semiconductor Track

CMOS Scaling for High Performance and Low Power-The Next Ten Years

B Davari, RH Dennard, GG Shahidi

Proceedings of the IEEE (1995)

Contents

01 Introduction

02 Background

03 Scaling Scenarios

04 Voltage, Reliability, and Threshold-Voltage Challenges

05 Main Process, Device Elements

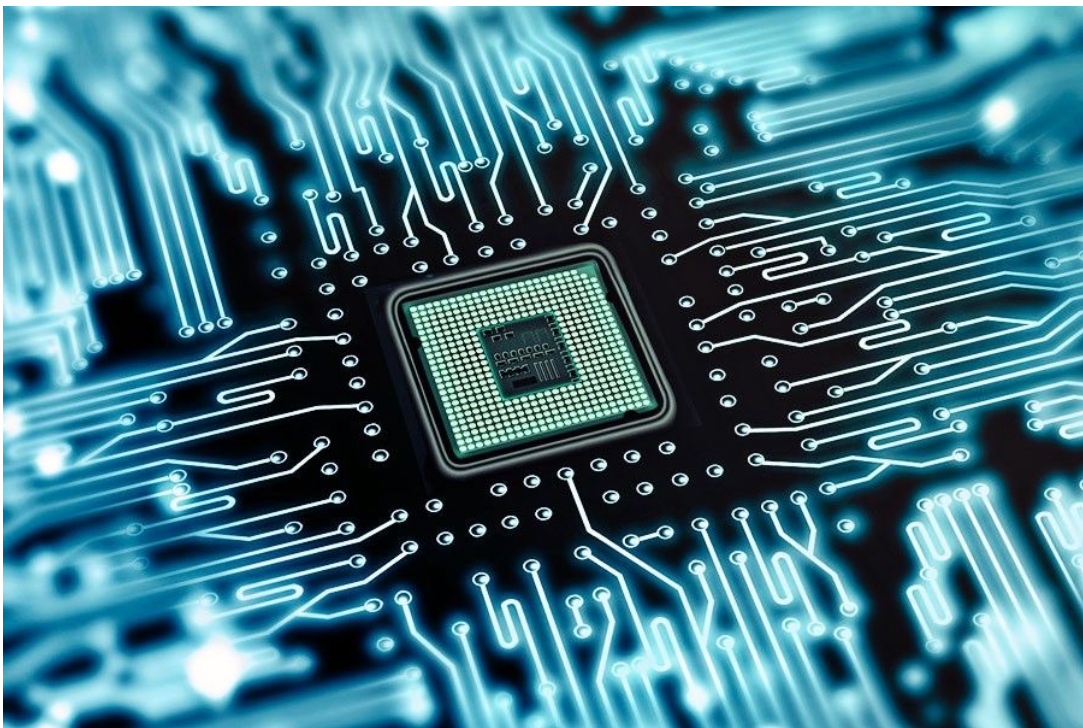
06 Conclusion

01 Introduction

연구 목적

CMOS 소자 및 공정의 향후 10년 스케일링 로드맵을 제시하고, 특히 전원전압(VDD)

선택의 중요성을 중심으로 고성능과 저전력 두 가지 스케일링 시나리오를 비교·분석한다.



적절한 전원전압·문턱전압(V_t) 설계와 공정 개선을 통해 향후 세대의 CMOS는 성능·밀도·전력에서 동시 향상이 가능

하지만 채널 hot-carrier, 누설전류(standby leakage) 등 신뢰성·대기전력 문제를 해결해야 한다.

01 Introduction

기대 효과

sub-0.1 μm 대역으로의 스케일링 시 약 7배의 **속도 향상**과 약 20배의 **집적도 향상**, 그리고 10배 이상의 기능당 **전력 절감**을 전망.

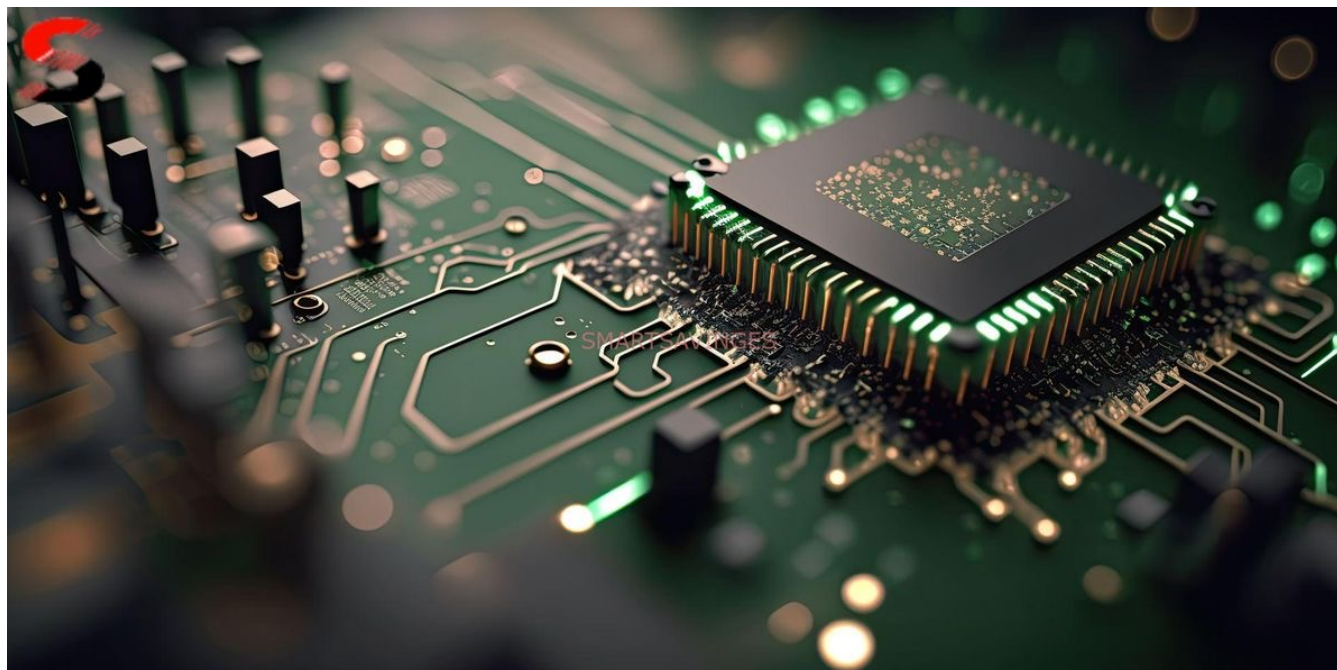
진행 순서 요약

배경 - 스케일링 이론 \rightarrow 두 시나리오 비교 \rightarrow V_{DD}/V_t ·신뢰성 트레이드오프 \rightarrow 전력밀도·로드맵과 핵심 기술 (공정·interconnect·SOI) \rightarrow 결론·향후과제 순으로 진행.

02 Background – CE Scaling

Constant-electric-field(CE) 스케일링 핵심

치수(가로, 세로, 높이)와 전압을 스케일링 인자 α 로 나누어 크기를 줄이게 되면, 회로 밀도는 α^2 배만큼 증가하고, 속도는 α 배 개선되며, 회로당 전력은 α^2 배 로 감소하여 전력밀도(발열)는(은) 일정하게 유지된다. -> 이상적 스케일링



02 Background – CE Scaling

CE 스케일링의 현실적 문제들

전압 관련 문제

1. 문턱 전압 – 전압을 너무 낮출 경우 소자가 꺼지고 켜지는 경계가 모호해지게 됨
2. 노이즈 마진 – 전압이 너무 낮으면 주변 노이즈 때문에 오작동할 위험 증가

배선 관련 문제 – 소자를 연결하는 구리선의 경우 저항과 커패시턴스가 커짐 -> 신호 감쇄

양자 역학적 한계 – 게이트 산화막이 너무 얇아 양자 터널링 효과 발생 -> 전기 에너지가 새어나감

-> 새로운 방식의 스케일링 필요

02 Background – Generalized Scaling

Generalized Scaling

이상적인 CE 스케일링에서 현실적 문제를 고려한 새로운 스케일링 방법
 치수는 κ 배, 전압은 α 배만큼 축소

항목	스케일링 비율	특징
도핑 농도	$\frac{\kappa^2}{\alpha}$	정밀 조절
전계	$\frac{\kappa}{\alpha}$	전계 증가
전력 소모	$\frac{1}{\kappa\alpha^2}$	전력 소모 증가

02 Background – Generalized Scaling

Generalized Scaling의 결과

1. 성능 향상 – 전압을 상대적으로 높게 유지, 전류 구동 능력이 좋아지게 됨.
2. 신뢰성 문제 – 내부 전계가 강해짐 -> 핫 캐리어 효과로 인한 소자 수명의 단축
3. 발열 관리 – 전력 밀도가 CE 스케일링에 비해 높아지므로 발열 증가

02 Background – Selective Scaling

Selective Scaling

현실과 타협을 위해 소자의 부위별로 스케일링 인자를 다르게 적용

- K

게이트 길이나 폭과 같이 **평면상의 크기**를 줄이는 인자 -> 가장 공격적으로 축소

- K_v

산화막 두께나 정션 깊이와 같이 **수직 방향**을 줄이는 인자 -> 보수적으로 유지

- α

공급 전압을 줄이는 인자 -> 성능을 위해 덜 줄임

계산은 복잡하지만 성능과 신뢰성 사이 최적점 찾기가 유리

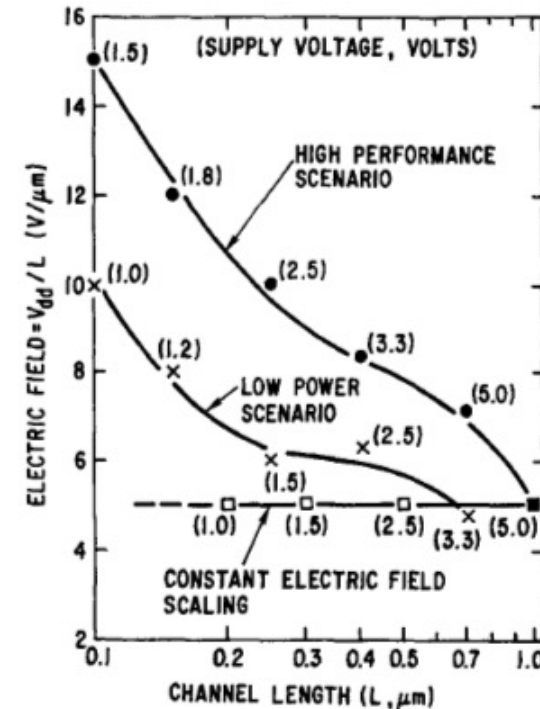
03 Scaling Scenarios

High-performance vs Low-power

$E \simeq \frac{V_{DD}}{L}$ 에서, CE스케일링은 E 를 일정하게 유지하는 전략. 이때 V_{DD} 를 얼마나 낮추느냐에 따라 전략이 결정됨.

성능 극대화를 위해 V_{DD} 를 덜 낮추어 전계가 증가 -> High-performance
-내부 전기장이 강해져 소자 파괴(신뢰성 문제)와 발열 증가

CE스케일링에 근접할 수 있도록 V_{DD} 를 최대한 낮춤 -> Low-power
-전력을 적게 소모하지만 성능 확보에 어려움을 겪음



03 Scaling Scenarios – 성능, 전력, 밀도 트레이드오프

CMOS 회로의 전력 소모 : $P = KCV_{DD}^2f + I_{off}fV_{DD}$

03 Scaling Scenarios – 성능, 전력, 밀도 트레이드오프

CMOS 회로의 전력 소모 : $P = KCV_{DD}^2f + I_{off}fV_{DD}$

첫번째 핵심 트레이드오프(PPA 관계)

전력 vs 성능

원리 : 성능을 높이기 위해서는 주파수를 높이거나 전압을 높여야 함.

결과 : 수식에서 알 수 있듯 주파수에 비례, 전압의 제곱에 비례하여 전력 소모가 폭발적으로 늘어남.

03 Scaling Scenarios – 성능, 전력, 밀도 트레이드오프

CMOS 회로의 전력 소모 : $P = KCV_{DD}^2f + I_{off}fV_{DD}$

두번째 핵심 트레이드오프(PPA 관계)

밀도 vs 전력

원리 : 집적도를 높일수록 칩 전체의 커패시턴스와 단위 면적당 발열이 심해짐.

결과 : 누설 전류 관리가 힘들어지고 칩이 타버리지 않게 전력을 제한해야 함.

03 Scaling Scenarios – 성능, 전력, 밀도 트레이드오프

CMOS 회로의 전력 소모 : $P = KCV_{DD}^2f + I_{off}fV_{DD}$

세번째 핵심 트레이드오프(PPA 관계)

성능 vs 밀도

원리 : 속도를 위해 트랜지스터의 폭을 크게 설계하면 소자의 차지 면적이 넓어짐.

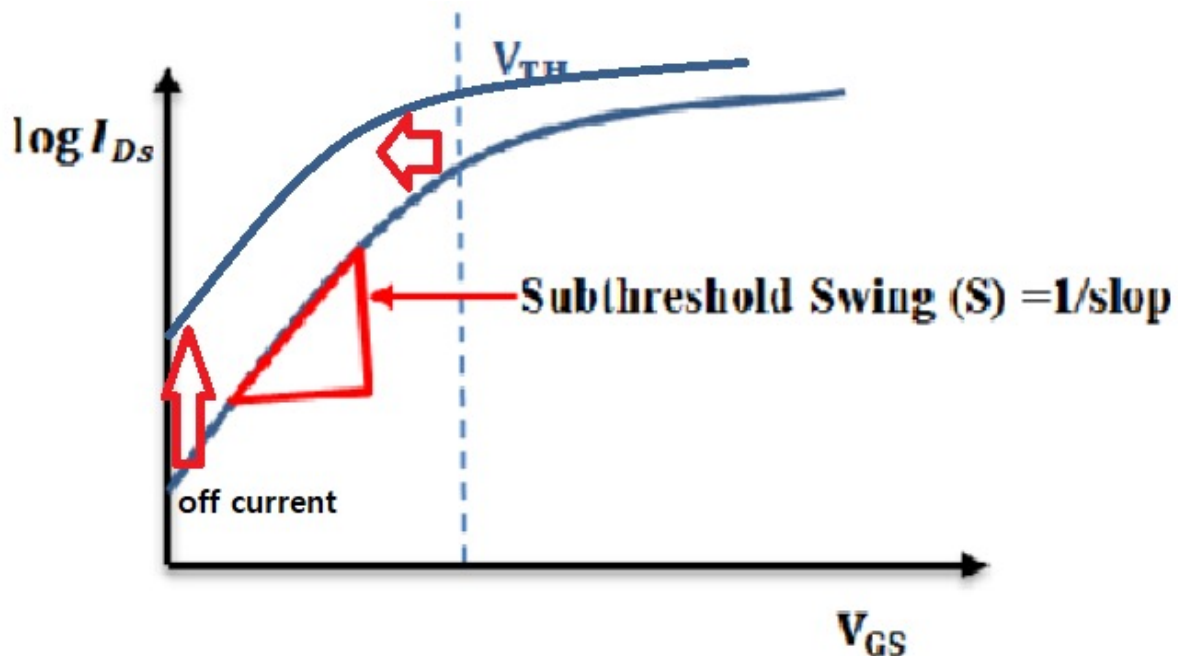
결과 : 개별 소자의 성능 극대화 시 전체의 집적도가 떨어지게 됨.

설계자의 역할 : 주어진 전력 예산 안에서 얼마나 높은 성능과 밀도를 뽑아낼 것인가

04 Voltage, Reliability, and Threshold-Voltage Challenges

서브스레숄드 기울기(Subthreshold swing) $S = \ln(10) \frac{kT}{q} \left(1 + \frac{C_{dep}}{C_{ox}} \right)$

전류를 10배 변화시키기 위해 게이트 전압을 얼마나 변화시켜야 하는지를 나타내는 지표. 이 값은 공정이 미세화되어도 고정되어 있다.



-> S가 고정되어 있기 때문에, 문턱 전압을 0.1V만 낮춰도 I_{off} 가 10배 이상 커지게 되는 문제가 발생.

04 Voltage, Reliability, and Threshold-Voltage Challenges

누설전류의 기하급수적 증가의 해결 방법

1. Multi - V_t 소자 : 트랜지스터 별로 문턱 전압을 다르게 설계. (LVT, HVT)

효과 : 전체 칩의 성능은 유지, 불필요한 대기전력 소모 감소

2. Body Bias : 트랜지스터의 Body 전압을 조절해서 실시간으로 V_t 를 조절하는 기술

효과 : 트랜지스터를 가변형 소자처럼 운용 가능

3. 저온 운용 : 서브스레숄드 기율기에서 수식의 온도 T 를 조절

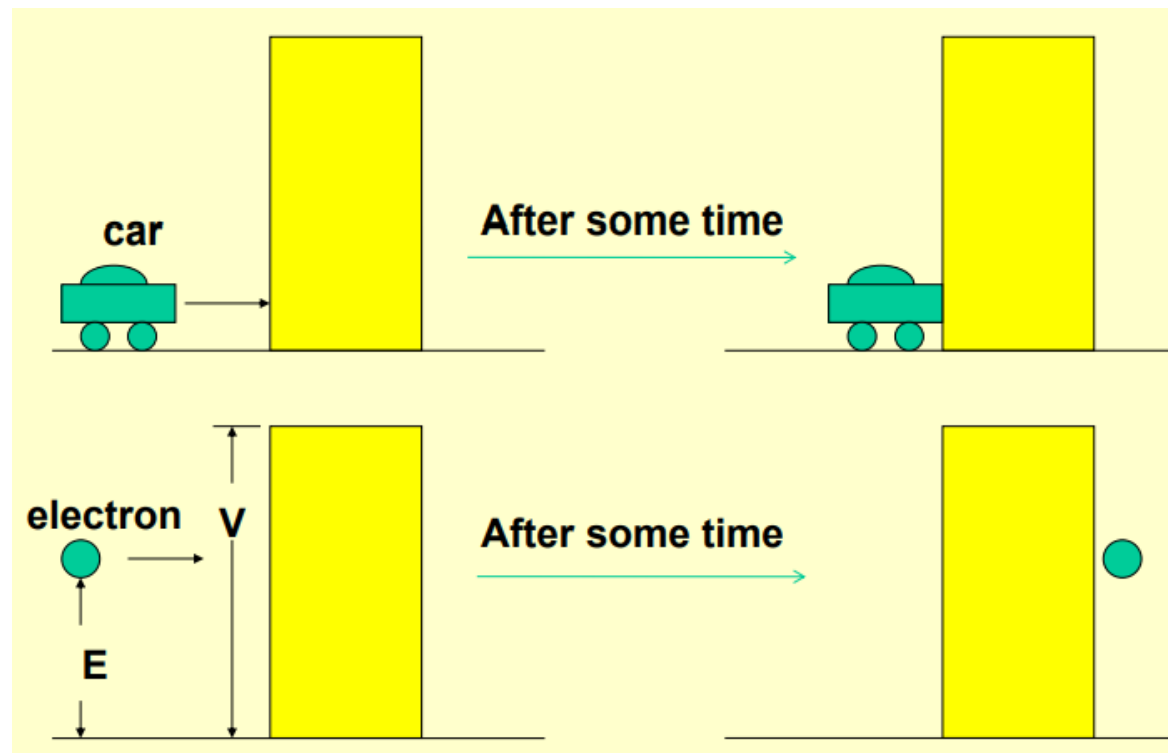
효과 : 누설 전류가 훨씬 적게 발생

05 Main Process, Device Elements

핵심 공정 및 소자 요소들

1. Gate Oxide Scaling & High-k

게이트 산화막이 너무 얇아지면 양자 터널링 현상에 의해 누설 전류 폭증 -> 유전율이 높은 물질 사용, 물리적 두께는 유지

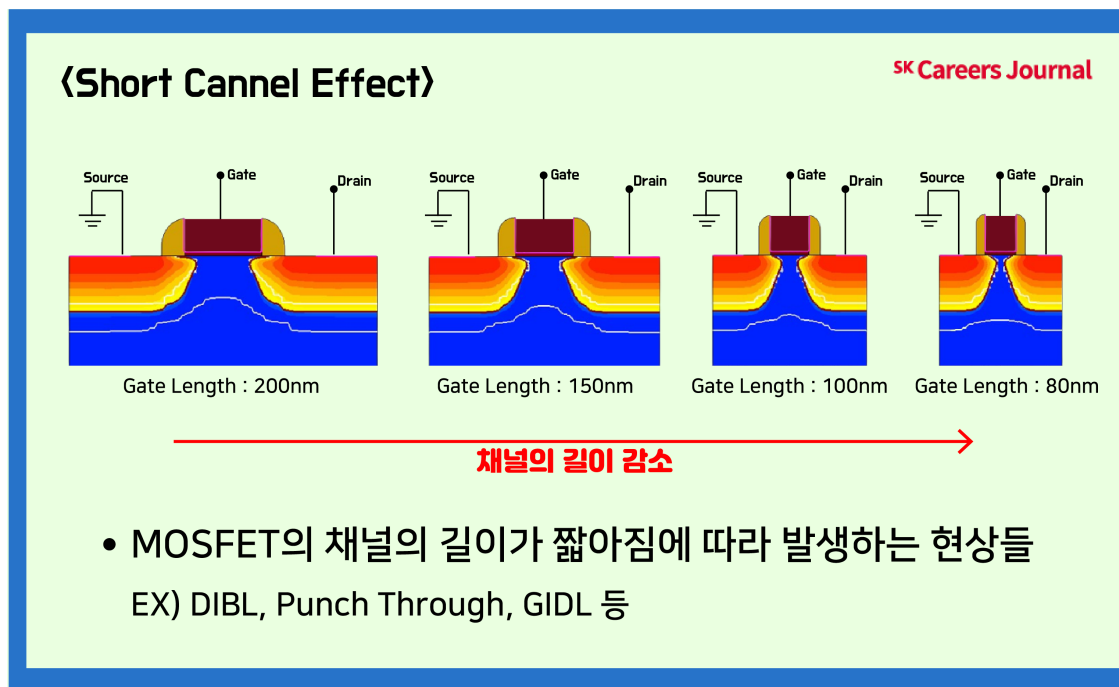


05 Main Process, Device Elements

핵심 공정 및 소자 요소들

2. S/D & Junction Scaling

소스와 드레인 사이 거리가 너무 가까워 **SCE(단채널 효과)**가 생기게 됨. -> **Shallow Junction, Elevated S/D**

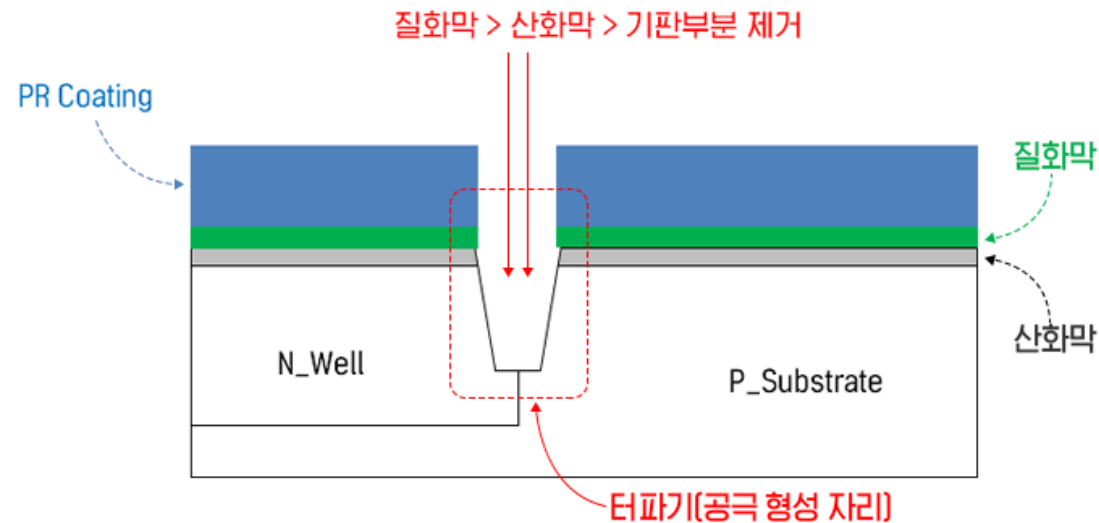


05 Main Process, Device Elements

핵심 공정 및 소자 요소들

3. Isolation

고집적 회로의 경우 **소자끼리의 간섭**을 고려해야 함. -> STI(Shallow Trench Isolation) – **실리콘에 도랑을 파고 절연물로 채움.**

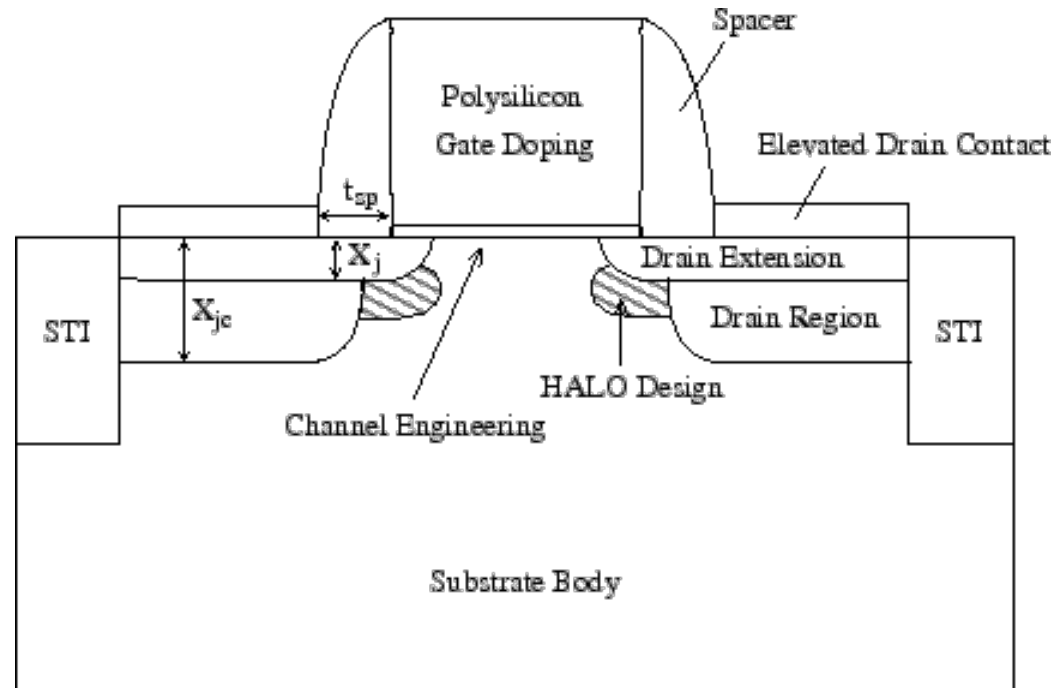


05 Main Process, Device Elements

핵심 공정 및 소자 요소들

4. Channel Engineering

채널 내부의 전하 흐름을 최적화하는 기술 -> Halo Doping - 채널의 양 끝단에 높은 농도의 도핑을 하여 공핍층 확장 방지

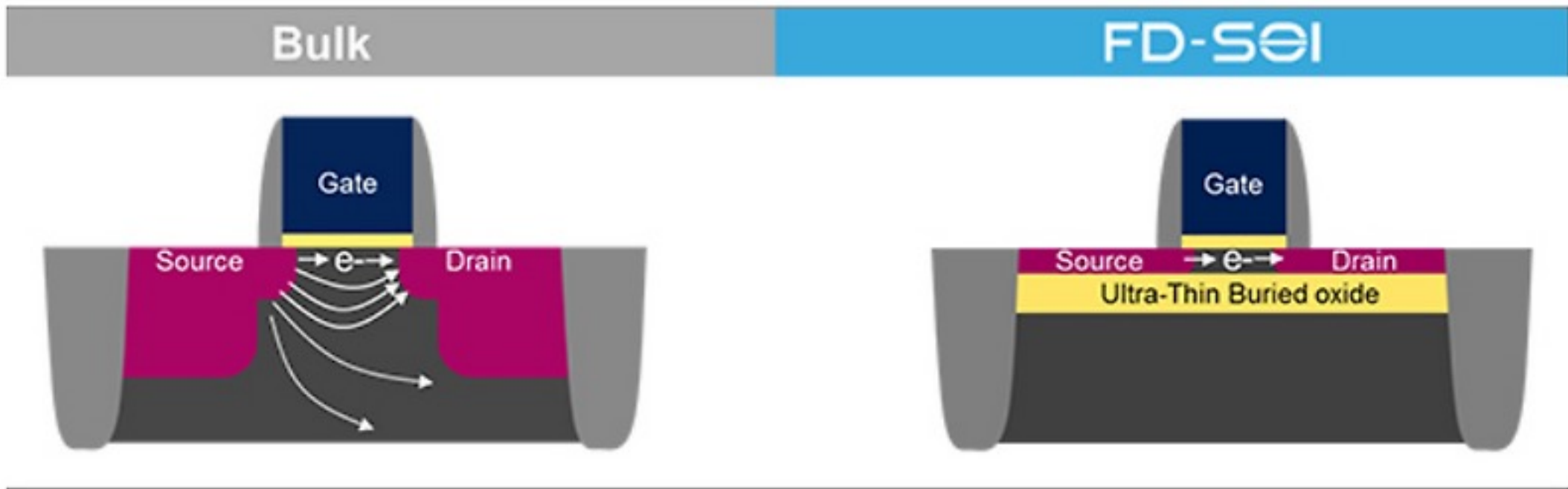


05 Main Process, Device Elements

결론 : 4개의 요소가 전부 독립적이지 않고 **유기적으로 연결**되어
있기에 공정, 소자, 설계 3단계의 **공동 최적화**가 필수적이다.

05 Main Process, Device Elements

차세대 구조 – SOI(Silicon-on-Insulator)



05 Main Process, Device Elements

차세대 구조 – SOI(Silicon-on-Insulator)

왜 SOI를 써야 할까?

< - >

SOI의 주요 단점들

1. 누설 전류 차단

1. Floating-body 효과

2. 기생 커패시턴스 감소

2. 열 배출 문제

3. 단채널 효과 완화

3. 고비용

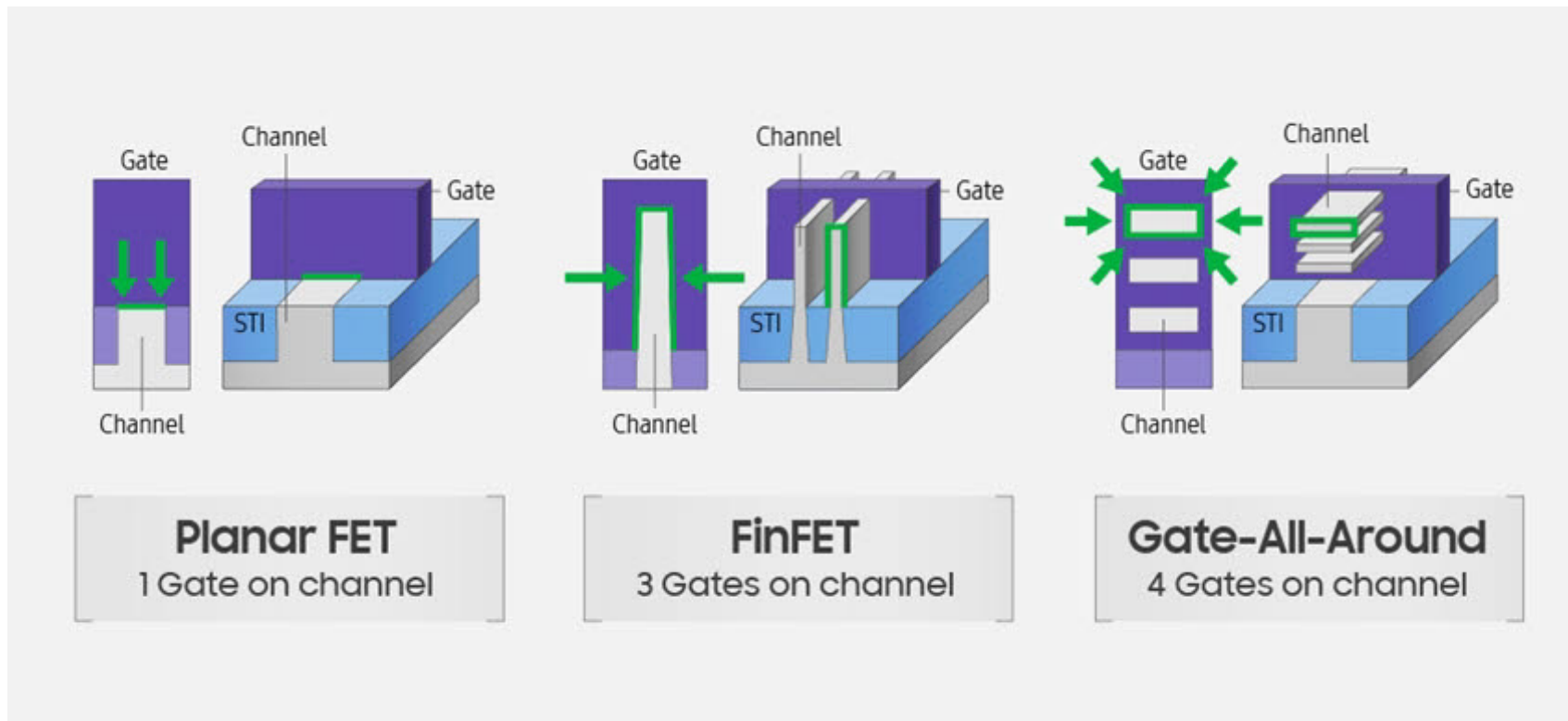
06 Conclusion

키워드들 : CE 스케일링, Generalized & Selective Scaling, Scaling Scenarios(High-Performance vs Low-Power), Main Process, Device Elements, SOI

06 Conclusion

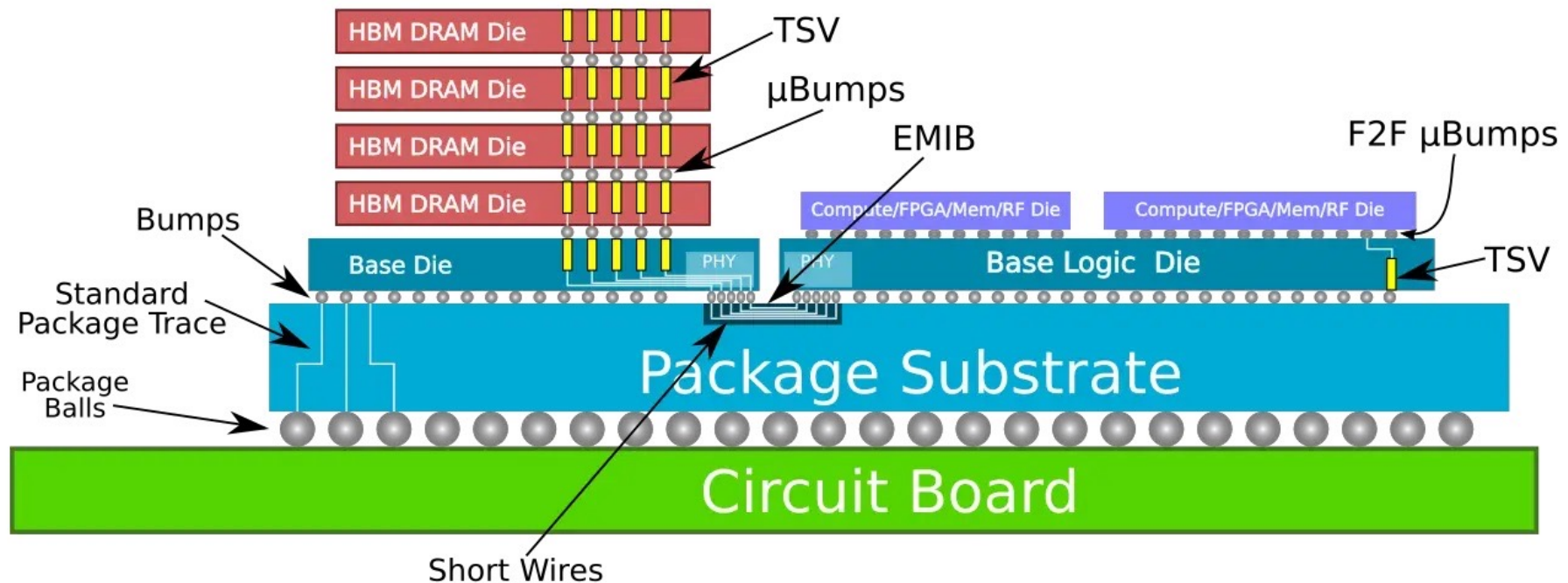
향후 반도체 산업의 방향

1. 3D 구조의 고도화(FinFET -> GAA)



향후 반도체 산업의 방향

2. Heterogeneous Integration(이종 집적)



06 Conclusion

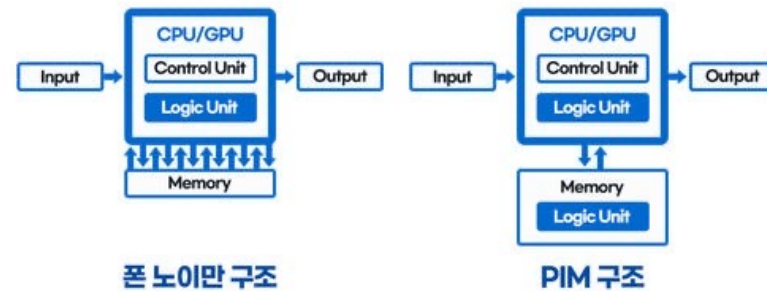
향후 반도체 산업의 방향

3. AI와 반도체의 융합(PIM, NPU)



[PIM 기술 개념도]

PIM(Processing-in-Memory)은 메모리 내부에 연산 작업에 필요한 프로세서 기능을 더한 차세대 신개념 융합기술



* Control Unit : 제어부 * Logic Unit : 연산부

기존 폰 노이만 구조에서는 CPU/GPU와 메모리 간 주고 받는 데이터가 많아지면 작업처리가 지연되나, PIM 구조에서는 메모리 영역 내에서 데이터 연산이 가능해 CPU/GPU와 메모리 간 데이터 이동이 최소화됨.

Circuit / Semiconductor Track

Thank you

송실대학교 전기공학부 학술 소모임 NOVA

발표자 : 김철우